

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-136331

(43)Date of publication of application : 01.06.1993

(51)Int.Cl.

H01L 25/065  
H01L 25/07  
H01L 25/18  
H01L 21/82

(21)Application number : 03-321311

(71)Applicant : NEC CORP

(22)Date of filing : 08.11.1991

(72)Inventor : SATOU YUKISACHI

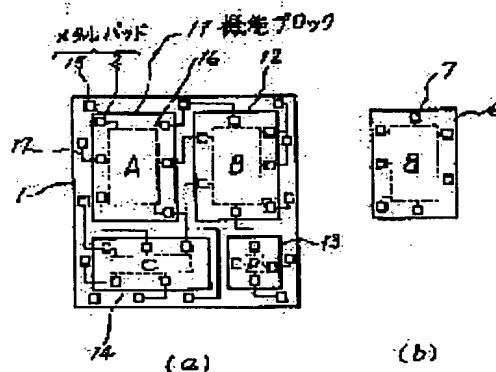
## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

### (57)Abstract:

**PURPOSE:** To enhance the production yield of a semiconductor integrated circuit by a method wherein the surface and the rear of all mask plates used to manufacture the semiconductor integrated circuit are reversed so as to be made mirror-surface symmetric.

**CONSTITUTION:** A large-scale semiconductor integrated circuit (a VLSI chip) 6 is mirror-surface symmetric with respect to a functional block 12 in a VLSI chip 1. For the functional block 12, the surface and the rear of all mask plates used to manufacture chips in the unit of functional blocks for the VLSI chip 1 or the like is handled to be reversed. For example, when a VLSI chip 1 is manufactured and an abnormality is detected in a functional block 12, a metal wire 16 for the functional

block 12 is cut electrically and the function of the functional block 12 is cut. On the other hand, a good single chip 6 whose function is the same as that of the functional block 12 and which is mirror-surface symmetric with respect to the functional block 12 is prepared; a metal pad 7 on the single chip 6 is overlapped with and bump-connected to a metal pad 2 on the functional block 12 in the VLSI chip 1; the functional block 12 is supplemented. Thereby, the redundancy of the VLSI chips 1, 6 is enhanced, and the productivity of the title device is enhanced.



---

**LEGAL STATUS**

|   |            |
|---|------------|
| [Date of request for examination]   | 27.10.1995 |
| [Date of sending the examiner's decision of rejection]  |            |
| [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration] |            |
| [Date of final disposal for application]  |            |
| [Patent number]   | 2760188    |
| [Date of registration]  | 20.03.1998 |
| [Number of appeal against examiner's decision of rejection]   |            |
| [Date of requesting appeal against examiner's decision of rejection]  |            |
| [Date of extinction of right]   | 20.03.2001 |

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2760188号

(45) 発行日 平成10年(1998) 5月28日

(24) 登録日 平成10年(1998) 3月20日

|                           |      |               |   |
|---------------------------|------|---------------|---|
| (51) Int.Cl. <sup>8</sup> | 識別記号 | F I           |   |
| H 0 1 L 25/065            |      | H 0 1 L 25/08 | B |
| 25/07                     |      |               |   |
| 25/18                     |      |               |   |

請求項の数2 (全 3 頁)

|           |                  |  |  |
|-----------|------------------|--|--|
| (21) 出願番号 | 特願平3-321311      | (73) 特許権者                                | 000004237<br>日本電気株式会社<br>東京都港区芝五丁目7番1号 |
| (22) 出願日  | 平成3年(1991)11月8日  | (72) 発明者                                 | 佐藤 志幸<br>東京都港区芝五丁目7番1号 日本電気<br>株式会社内   |
| (65) 公開番号 | 特開平5-136331      | (74) 代理人                                 | 弁理士 菅野 中                               |
| (43) 公開日  | 平成5年(1993)6月1日   |  |  |
| 審査請求日     | 平成7年(1995)10月27日 | 審査官                                      | 川真田 秀男                                 |
|           |                  | (56) 参考文献                                | 実開 昭52-48418 (J P, U)                  |
|           |                  | (58) 調査した分野(Int.Cl. <sup>8</sup> , D B名) | H01L 25/065<br>H01L 23/52              |

(54) 【発明の名称】 半導体集積回路

1

(57) 【特許請求の範囲】

【請求項1】 複数の機能ブロックで構成される大規模な半導体集積回路であって、

各々の機能ブロックは、機能ブロック外部と接続するメタル・パッドを外周に有し、該メタル・パッドを介して接続され、

機能ブロックが有するメタル・パッドは、その機能ブロックと電氣的に切断可能な構造を有し、それぞれのメタル・パッドは、大規模半導体集積回路の外部と電氣的に接続可能としたことを特徴とする半導体集積回路。

【請求項2】 前記請求項1に記載の半導体集積回路において、

製造上不良となった機能ブロックが存在した場合に、不良の機能ブロックを、その機能ブロックが有するメタル・パッドの内側で電氣的に切断し、不良機能ブロックと

2

鏡面对称な良品の機能ブロック単一の半導体集積回路を不良ブロックのメタル・パッドに重ねて電氣的に接続することによって冗長度を有することを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路に関し、特に情報処理装置などに使用される大規模半導体集積回路（以下、VLSIチップという）に関する。

【0002】

【従来の技術】 近年、半導体集積技術が進む中で、高集積化に伴いチップサイズが拡大傾向にある。チップサイズが大きくなると、1ウェハー当たりで製造できるVLSIチップの数量は減少し、不良が発生した場合の歩留まりも極端に悪くなる。

10

3

【0003】VLSIの冗長性を向上させる手段として、メモリ集積回路では、同一構造のメモリセル回路で全体の80%以上が構成されており、メモリセル回路の一部が不良である可能性が非常に高いため、予備のメモリセル回路を幾つか予め作り込み、不良メモリセルがあった場合は、メモリセルのデコーダ部をレーザー修正により、予備のメモリセル回路に置き換える方式が一般化されている。

【0004】

【発明が解決しようとする課題】このような従来の技術では、冗長性の問題に関してはメモリ集積回路のように同一構造の回路で構成されていることは少なく、予備の回路を予め予測してVLSIチップ上に盛り込むことは困難で採用できず、製造品質の向上に頼らざるを得ないため、ある水準の不良率は免れないという欠点がある。

【0005】本発明の目的は、VLSIチップの冗長度を向上させ、生産歩留まりを向上させた半導体集積回路を提供することにある。

【0006】

【課題を解決するための手段】前記目的を達成するため、本発明に係る半導体集積回路は、複数の機能ブロックで構成される大規模な半導体集積回路であって、各々の機能ブロックは、機能ブロック外部と接続するメタル・パッドを外周に有し、該メタル・パッドを介して接続され、機能ブロックが有するメタル・パッドは、その機能ブロックと電氣的に切断可能な構造を有し、それぞれのメタル・パッドは、大規模半導体集積回路の外部と電氣的に接続可能としたものである。

【0007】また、製造上不良となった機能ブロックが存在した場合に、不良の機能ブロックを、その機能ブロックが有するメタル・パッドの内側で電氣的に切断し、不良機能ブロックと鏡面对称な良品の機能ブロック単一の半導体集積回路を不良ブロックのメタル・パッドに重ねて電氣的に接続することによって冗長度を有するものである。

【0008】

【0009】

【作用】鏡面对称の半導体集積回路を構築し、製造上不良となった機能ブロックが存在した場合に、不良の機能ブロックをその機能ブロックが有するメタル・パッドの内側で電氣的に切断し、不良機能ブロックと鏡面对称な良品の機能ブロック単一の半導体集積回路を不良ブロックのメタル・パッドに重ねて電氣的に接続する。

【0010】

【実施例】次に本発明を図面を用いて説明する。図1は、本発明の一実施例に係るVLSIチップの部分断面図である。図2(a)、(b)は、図1のVLSIチップ構成チップの平面概念図である。

【0011】まず構成を図2をもって説明する。図2

(a)のVLSIチップ1は、大きく機能ブロック1

4

1、12、13、14から構成されている。各機能ブロックは、機能ブロック外と接続する全ての信号をメタル線16で各機能ブロックの外周にあるメタル・パッド2につながれている。メタル線16は、レーザー加工機によりメタル・パッド2と電氣的に切断可能な構造を有している。

【0012】VLSIチップ1は、チップ外部と接続するためのメタルパッド15が外周に配置され、メタル・パッド15と機能ブロックのメタル・パッド2、あるいは各機能ブロックのメタル・パッド2は、メタル線17で接続されている。全てのメタル・パッド2、15は、VLSIチップ外部と電氣的に接続可能なように絶縁保護膜で覆われていない。

【0013】図2(b)のVLSIチップ6は、図2(a)のVLSIチップ1の機能ブロック12と鏡面对称の単体チップである。このような鏡面对称のチップを製造するために図2(a)で使用する機能ブロック12は、VLSIチップ1のような機能ブロック単体のチップを製造するためのマスク版を全て表裏逆に扱うことにする。

【0014】ここで、図2(a)のVLSIチップ1の製造において機能ブロック12に異常が発見された場合、機能ブロック12のメタル線16をレーザー加工機で電氣的に切断し、機能ブロック12の機能を切断する。

【0015】一方、機能ブロック12と同一機能で鏡面对称の良品の単体チップ6を準備し、単体チップ6のメタル・パッド7と、それに対応する図2(a)のVLSIチップ1の機能ブロック12のメタル・パッド2とを重ねてバンプ接続し、機能ブロック12を補完する。

【0016】図1は、以上の冗長方法を使った場合のVLSIチップの部分断面図である。VLSIチップ1と単体チップ6があり、VLSIチップ1はチップ外部と接続可能なメタル・パッド2を有し、それ以外の部分は絶縁保護膜3で覆われている。

【0017】VLSIチップと外部端子との間は、従来の集積回路と同様にボンディングワイヤ5を超音波接着4されている。不良機能ブロックが存在している部分は、前述のようにレーザー加工機によりメタル線を部分9のように切断する。不良機能ブロックと同一で鏡面对称の単体チップ6もVLSIチップ同様にメタル・パッド7および絶縁保護膜8を有し、VLSIチップ1側の不良機能ブロックのメタル・パッドと対応する単体チップ6のメタル・パッドを重ね合わせ、バンプ接続技術10により、メタル・パッド同士を電氣的に接続する。

【0018】これによりVLSIチップ1は、不良機能ブロックを単体チップで補完することにより、良品の扱いができるようになる。

【0019】

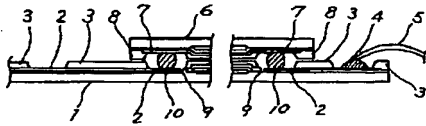
【発明の効果】以上説明したように本発明によれば、鏡

5

面对称の半導体集積回路を構築し、製造上不良となった機能ブロックが存在した場合に、不良の機能ブロックをその機能ブロックが有するメタル・パッドの内側で電氣的に切断し、不良機能ブロックと鏡面对称な良品の機能ブロック単一の半導体集積回路を不良ブロックのメタル・パッドに重ね電氣的に接続するようにしたため、VLSIチップの冗長性を向上させることができ、生産歩留まりを向上できるという効果がある。

【図面の簡単な説明】

【図1】



6

\*【図1】本発明の一実施例に係るVLSIチップを示す部分断面図である。

【図2】(a), (b)は、図1の構成チップを示す平面概略図である。

【符号の説明】

1, 6 VLSIチップ

2, 15 メタル・パッド

11, 12, 13, 14 機能ブロック

【図2】

